

15
A433

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月31日

出願番号 Application Number: 特願2003-094710

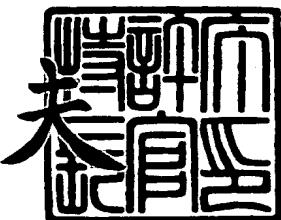
[ST. 10/C]: [JP2003-094710]

出願人 Applicant(s): NECエレクトロニクス株式会社

2003年10月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 74112357
【提出日】 平成15年 3月31日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/027
【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部1753番地 N E C エレクトロニクス株式会社内
【氏名】 東内 圭一郎
【特許出願人】
【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社
【代理人】
【識別番号】 100102864
【弁理士】
【氏名又は名称】 工藤 実
【手数料の表示】
【予納台帳番号】 053213
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0216502
【プルーフの要否】 要

【書類名】明細書

【発明の名称】 マスクパターン検証方法、マスクパターン検証用プログラム、及びマスク製造方法

【特許請求の範囲】

【請求項1】 検証対象であるマスク層の設計パターンである検証対象マスク設計パターンを用意する手順と、

前記検証対象マスク設計パターンに対して近接効果補正を行って前記マスク層のマスクパターンを生成する手順と、

他のマスク層の設計パターンである他マスク設計パターンを用意する手順と、前記他マスク設計パターンに基づいて、前記検証対象マスク設計パターンを複数の領域に区分する手順と、

前記検証対象マスク設計パターンのパターンエッジにサンプリング点を規定する手順と、

前記複数の領域のそれぞれについて別個に検証規格を規定する手順と、

前記マスクパターンが描かれたマスクを用いた露光によってレジストに転写されるレジストパターンの形状をシミュレーションする手順と、

前記サンプリング点のそれぞれについて、前記検証対象マスク設計パターンと前記レジストパターンとの寸法の誤差が、前記サンプリング点のそれが属する前記領域の前記検証規格に規定されている範囲内に有るか否かを判断して前記マスクパターンの検証を行う手順とを備え、

前記検証規格は、前記複数の領域のうちの第1領域と、前記複数の領域のうちの第2領域とで異なる

マスクパターン検証方法。

【請求項2】 請求項1に記載のマスクパターン検証方法において、前記サンプリング点のうち、前記第1領域にある第1サンプリング点は、第1方法によって規定され、

前記サンプリング点のうち、前記第2領域にある第2サンプリング点は、前記第1サンプリング方法と異なる第2方法によって規定される

マスクパターン検証方法。

【請求項3】 請求項1に記載のマスク設計パターン検証方法において、
更に、

前記検証対象マスク設計パターンのパターンエッジを複数の部分に区分する手
順を備え、

前記検証規格は、前記複数の部分のそれぞれについて別個に用意される
マスクパターン検証方法。

【請求項4】 請求項1に記載のマスクパターン検証方法において、
前記検証対象マスク設計パターンは、配線層の設計パターンであり、
前記他マスク設計パターンは、前記配線層に到達するコンタクトの設計パター
ンであり、

前記第1領域は、前記コンタクトが前記配線層に接合されるコンタクト領域を
含有するコンタクト対応領域を含む

マスクパターン検証方法。

【請求項5】 請求項4に記載のマスクパターン検証方法において、
前記コンタクト対応領域は、前記接合領域と、前記接合領域の周囲を取り囲む
周囲領域とからなる

マスクパターン検証方法。

【請求項6】 請求項1に記載のマスクパターン検証方法において、
前記検証対象マスク設計パターンは、MOSトランジスタのゲートを含む配線
層の設計パターンであり、

前記他マスク設計パターンは、前記MOSトランジスタの活性領域を規定する
設計パターンであり、

前記第1領域は、前記活性領域の前記検証対象マスク設計パターンへの投象で
ある活性領域投象領域を含有するフィールド層対応領域を含む
マスクパターン検証方法。

【請求項7】 請求項6に記載のマスクパターン検証方法において、
前記フィールド層対応領域は、前記活性領域投射領域と、前記活性領域投射領
域の周囲を取り囲む周囲領域とからなる

マスクパターン検証方法。

【請求項8】 検証対象であるマスク層の設計パターンである検証対象マスク設計パターンを用意する手順と、

前記検証対象マスク設計パターンに対して光近接効果補正を行って前記マスク層のマスクパターンを生成する手順と、

他のマスク層の設計パターンである他マスク設計パターンを用意する手順と、

他マスク設計パターンに基づいて、前記対象検証マスク設計パターンを複数の領域に区分する手順と、

検証対象マスク設計パターンのパターンエッジにサンプリング点を規定する手順と、

前記複数の領域のそれぞれについて別個に検証規格を規定する手順と、

前記マスクパターンが描かれたマスクを用いた露光によってレジストに転写されるレジストパターンをシミュレーションする手順と、

前記サンプリング点のそれぞれについて、前記検証対象マスク設計パターンと前記レジストパターンとの寸法の誤差が、前記サンプリング点のそれぞれが属する前記領域の前記検証規格に規定されている範囲内に有るか否かを判断して前記マスクパターンの検証を行う手順

とをコンピュータに実行させるマスクパターン検証用プログラムであって、

前記検証規格は、前記複数の領域のうちの第1領域と、前記複数の領域のうちの第2領域とで異なる

マスクパターン検証用プログラム。

【請求項9】 請求項1乃至請求項7のいずれか一に記載のマスクパターン検証方法を実行する手順と、

前記マスクパターンをマスクに転写する手順

とを備えた

マスク製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マスクパターン検証方法、及びマスクパターン検証用プログラムに
関し、特に、近接効果補正を行って作成されたマスクパターンが、所望のレジス
トパターンを形成するものであるかを検証する方法に関する。

【0002】

【従来の技術】

近年の半導体デバイスのデザインルールの縮小は、光近接効果を顕在化させて
いる。光近接効果とは、光の干渉に起因して、マスクに描かれているマスクパタ
ーンの形状と異なる形状を有するパターンがレジストに形成される現象である。
例えばL字型のパターンが形成されたマスクを用いて露光を行う場合、光近接効
果に起因して、レジストに形成されるパターンのコーナー部は丸く形成される。
更に、光近接効果により、レジストに形成されるラインパターンの幅は、ライン
パターンの間隔に依存するようになる。例えば、密集して形成されているライン
パターンと、孤立して形成されているラインパターンとでは、マスク上では同一
の幅であっても、レジスト上では、その幅が異なる。

【0003】

光近接効果に対処するために、マスクパターンの生成の過程で近接効果補正（
O P C）が行われる。所望のレジストパターンの形状が描かれた設計パターンが
、光の干渉を考慮に入れて変形され（即ち、近接効果補正が行われ）、マスクパ
ターンが生成される。そのマスクパターンが形成されたマスクによって所望の形
状を有するレジストパターンがレジストに転写される。マスクパターンの形状は
、所望のレジストパターンの形状とは異なる。

【0004】

近接効果補正は、所望のレジストパターンの形成を可能にするが、その一方で
、計算機シミュレーションによってマスクパターンを検証する必要性を生じさせ
る。あるマスクパターンが形成されたマスクから転写されるレジストパターンの
形状は、マスクの各部分を通りぬける光の干渉によって定まる。かかる干渉を考
慮してレジストパターンの形状を算出することは、計算機シミュレーションによ
るしか方法がない。このため、あるマスクパターンが形成されたマスクから、所
望のレジストパターンが形成可能であるか否かは、計算機シミュレーションによ

って検証される。

【0005】

マスクパターンの検証では、第1に、不所望なレジストパターンの生成を確実に検出できることが重要である。特許文献1は、設計パターンのパターンエッジから離れた部分でのパターン歪み（即ち、設計パターンによれば生成されないはずの位置におけるレジストパターンの生成）を検出可能にするパターン歪み検出方法を開示している。公知のそのパターン歪み検出方法は、設計パターンのパターンエッジ部以外の所定の部分に選択的にサンプリング点（検証の対象である点）を規定するステップと、該サンプリング点のそれぞれについて、設計パターンの寸法とシミュレーションによって求められたレジストパターンの寸法とを対比するステップとを含んで構成されている。公知のそのパターン歪み検出方法は、パターンエッジ部以外の所定の部分に選択的にサンプリング点を生成することにより、設計パターンのパターンエッジから離れた部分でのパターン歪みを検出することが可能である。

【0006】

マスクパターンの検証では、最終的に製造される半導体集積回路の構造を考慮して検証規格が適切に設定されることが望ましい。検証規格とは、あるマスクパターンが適切であるか否かを判断する基準である。あるマスクパターンが適切であるか否かは、最終的に製造された半導体集積回路が正しく動作するようなレジストパターンが形成されるかで決定されることが重要である。従って、検証規格も、最終的に製造された半導体集積回路が正しく動作するようなレジストパターンが形成されるように決定されることが必要である。

【0007】

半導体集積回路を正しく動作させるためにレジストパターンのパターン寸法に厳しい制約が課せられる場合には、マスクパターンの検証規格も厳しく定められることが望まれる。例えば、MOSトランジスタのゲートとなるラインは、その幅がMOSトランジスタの特性に及ぼす影響が大きい。従って、ゲートとなるラインの幅は、より厳しく管理される必要があり、該ラインのエッチングのマスクとして使用されるレジストパターンの幅の検証規格も厳しく定められる必要があ

る。更に、ある配線にコンタクト（又はビア）が接続される場合、該配線にコンタクトを確実に接続するためには、該配線の位置が厳しく管理される必要がある。従って、該配線のエッチングのマスクとして使用されるレジストパターンの位置も、厳しく管理される必要がある。

【0008】

逆に、半導体集積回路が正しく動作可能なレジストパターンの寸法の範囲が広い場合には、厳しい検証規格は好ましくない。あまりに厳しい検証規格は、マスクパターンの修正箇所を増加させ、マスク作成のTATを増加させる。

【0009】

加えて、マスクパターンの検証では、最終的に製造される半導体集積回路の構造を考慮してサンプリング点が適切な位置に設けられることが望まれる。マスクパターンを漏れなく検証し、不所望なレジストパターンの生成を確実に検出するためには、多くのサンプリング点を用いてマスクパターンを検証することが有効である。しかし、サンプリング点を増加することは、シミュレーションに必要な計算量を増加させ、シミュレーション時間を長大化する。従って、サンプリング点の位置を適切に設け、少ないサンプリング点で確実にマスクパターンの検証が行われることが理想である。既述のように、半導体集積回路には、パターン寸法が厳しく管理されるべき位置と、そうでない位置とがある。従って、パターン寸法が厳しく管理されるべき位置に多くのサンプリング点を設け、そうでない位置には少しのサンプリング点を設け、これにより、少ないサンプリング点で的確にマスクパターンの検証が行われることが望まれる。

【0010】

【特許文献1】

特開2000-214577号公報

【0011】

【発明が解決しようとする課題】

本発明の目的は、最終的に製造される半導体集積回路の構造に応じた適切な検証規格を用いてマスクパターンの検証を行うことが可能なマスクパターン検証技術を提供することにある。

本発明の他の目的は、寸法の検証が行われるサンプリング点を、最終的に製造される半導体集積回路の構造に応じた適切な位置に設け、これにより、少ないサンプリング点で確実なマスクパターンの検証を可能にするマスクパターン検証技術を提供することにある。

【0012】

【課題を解決するための手段】

以下に、【発明の実施の形態】で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、【特許請求の範囲】の記載と【発明の実施の形態】の記載との対応関係を明らかにするために付加されている。但し、付加された番号・符号は、【特許請求の範囲】に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明によるマスクパターン検証方法は、

検証対象であるマスク層の設計パターンである検証対象マスク設計パターン（11）を用意する手順と、

検証対象マスク設計パターン（11）に対して近接効果補正を行って該マスク層のマスクパターンを生成する手順と、

他のマスク層の設計パターンである他マスク設計パターンを用意する手順と、

該他マスク設計パターンに基づいて、検証対象マスク設計パターン（11）を複数の領域（21、22、23）に区分する手順と、

検証対象マスク設計パターン（11）のパターンエッジにサンプリング点（15'～17'）を規定する手順と、

該複数の領域（21～23）のそれぞれについて別個に検証規格を規定する手順と、

該マスクパターンが描かれたマスクを用いた露光によってレジストに転写されるレジストパターンの形状をシミュレーションする手順と、

該サンプリング点（15'～17'）のそれぞれについて、検証対象マスク設計パターン（11）とレジストパターンとの寸法の誤差が、該サンプリング点のそれが属する該領域の該検証規格に規定されている範囲内に有るか否かを判

断して該マスクパターンの検証を行う手順

とを備えている。該検証規格は、該複数の領域（21、22、23）のうちの第1領域（21、22）と第2領域（23）とで異なる。

【0014】

当該マスクパターン検証方法では、設計対象マスク設計パターン（11）が複数の領域に区分され、該領域のそれぞれに別個に検証規格が用意される。当該マスクパターン検証方法は、検証対象であるマスク層に構造的に関連する他のマスク層の設計パターンを用いて設計対象マスク設計パターン（11）を複数の領域に区分することにより、最終的に製造される半導体集積回路の構造に応じた適切な検証規格を用いてマスクパターンの検証を行うことが可能である。

【0015】

サンプリング点（15'～17'）のうち、第1領域（21、22）にある第1サンプリング点（15'、16'）は、第1方法によって規定され、該サンプリング点（15'～17'）のうち、第2領域（23）にある第2サンプリング点（17'）は、該第1サンプリング方法と異なる第2方法によって規定されることが好適である。これにより、最終的に製造される半導体集積回路の構造に応じて適切な位置にサンプリング点（15'～17'）を設けることが可能である。

【0016】

当該マスク設計パターン検証方法が、更に、検証対象マスク設計パターン（11）のパターンエッジを複数の部分に区分する手順を備えている場合には、検証規格は、該複数の部分のうちの第1部分と、該複数の部分のうちの第2部分とで異なることが好適である。

【0017】

検証対象マスク設計パターン（11）が、配線層の設計パターンであり、他マスク設計パターンが、該配線層に到達するコンタクトの設計パターンである場合、第1領域（21、22）は、該コンタクトが該配線層に接合されるコンタクト領域（21a）を含有するコンタクト対応領域（21）を含むことが好適である。この場合、コンタクト対応領域（21）は、コンタクト領域（21a）に加え

て、コンタクト領域（21a）の周囲の周囲領域（21b）を含むことが好適である。

【0018】

検証対象マスク設計パターン（11）が、MOSトランジスタのゲートを含む配線層の設計パターンであり、他マスク設計パターンが、MOSトランジスタの活性領域を規定する設計パターンである場合には、第1領域（21、22）は、該活性領域の該検証対象マスク設計パターン（11）への投象である活性領域投象領域（22a）を含有するフィールド層対応領域（22）を含むことが好適である。この場合、フィールド層対応領域（22）は、活性領域投射領域（22a）と、活性領域投射領域（22a）の周囲の周囲領域（22b）とからなることが好適である。

【0019】

本発明によるマスクパターン検証用プログラムは、
検証対象であるマスク層の設計パターンである検証対象マスク設計パターン（11）を用意する手順と、

該検証対象マスク設計パターン（11）に対して光近接効果補正を行って該マスク層のマスクパターンを生成する手順と、

他のマスク層の設計パターンである他マスク設計パターンを用意する手順と、
他マスク設計パターンに基づいて、検証対象マスク設計パターン（11）を複数の領域（21～23）に区分する手順と、

検証対象マスク設計パターン（11）のパターンエッジにサンプリング点（15'～17'）を規定する手順と、

検証規格を規定する手順と、

該マスクパターンが描かれたマスクを用いた露光によってレジストに転写されるレジストパターンの形状をシミュレーションする手順と、

サンプリング点（15'～17'）のそれぞれについて、前記検証対象マスク設計パターン（11）と該レジストパターンとの寸法の誤差が、サンプリング点（15'～17'）のそれぞれが属する前記領域の前記検証規格に規定されている範囲内に有るか否かを判断して前記マスクパターンの検証を行う手順

とをコンピュータ（1）に実行させる。該検証規格は、該複数の領域（21～23）のうちの第1領域（21、22）と第2領域（23）とで異なる。

【0020】

【発明の実施の形態】

以下、添付図面を参照しながら、本発明によるマスクパターン検証方法の実施の一形態を説明する。

【0021】

図2は、本発明の実施の一形態のマスクパターン検証方法を実行するコンピュータシステム1を示す。コンピュータシステム1は、入力装置2と通信装置3と記憶装置4とCPU5と出力装置6とを含む。入力装置2は、ユーザとコンピュータシステム1との間のマンーマシンインターフェースであり、例えば、キーボード、マウスが使用される。

【0022】

通信装置3は、CAD (Computer Aided Design) によって作成された設計パターンをネットワーク（図示されない）を介して外部から取り込むために使用される。設計パターンとは、レジストに形成されるレジストパターンの目標形状である。

【0023】

記憶装置4は、本実施の形態のマスクパターン検証方法を実行するために必要なプログラム及びデータを保存する。第1に、記憶装置4は、OPCツール4aとマスクパターン検証ツール4bとメインプログラム4cを保存する。OPCツール4aとは、検証対象マスク層の設計パターンに対して近接効果補正を行い、マスクに転写されるマスクパターンを生成するプログラムである。マスクパターン検証ツール4bは、該マスクパターンが転写されたマスクを用いて露光を行ったときに、レジストに所望のレジストパターンが形成されるかを検証するプログラムである。マスクパターン検証ツール4bは、検証対象マスク層のマスクパターンに対してリソグラフィー・シミュレーションを行って、レジストに転写されるレジストパターンの形状をシミュレーションする。更にマスクパターン検証ツール4bは、通信装置3によって取り込まれた設計パターンの寸法と、シミュレ

ーションによって算出されたレジストパターンとの寸法の差が検証規格の範囲内であるか否かを検証する。本明細書において、あるパターンの寸法とは、隣接するパターンと該パターンとの間隔、該パターンの幅、及び該パターンの位置を意味している。メインプログラム4cには、本実施の形態のマスクパターン検証方法を実行する手順が記述されている。より具体的には、図1のフローチャートに示された手順がメインプログラム4cには記述されている。

【0024】

記憶装置4には、更に、本実施の形態のマスクパターン検証方法を実行するために必要なデータを保存するデータ領域4dが設けられている。データ領域4dには、本実施の形態のマスクパターン検証方法を実行するために必要なデータ、例えば、通信装置3によって取り込まれる設計パターン、OPCツール4aによって生成されるマスクパターン、及びシミュレーションによって得られたレジストパターンの形状が保存される。

【0025】

CPU5は、マスクパターンの検証のために必要な処理を行うために、OPCツール4a、マスクパターン検証ツール4b、及びメインプログラム4cを実行する。

【0026】

出力装置6は、例えばCRT (Cathode Ray Tube) ディスプレイ、及びプリンタで構成され、マスクパターンの検証の結果を表示し、又はプリントアウトするために使用される。

【0027】

図1は、本実施の形態のマスクパターン検証方法を示すフローチャートである。本実施の形態では、MOSトランジスタのゲート配線を形成する配線層（ゲート層）のマスクに転写されるマスクパターンが検証される。まず、設計パターンが、コンピュータシステム1の外部から取り込まれる（ステップS01）。ステップS01では、検証の対象である検証対象マスク層の設計パターンに加えて、該検証対象マスク層に構造的に関連があるマスク層の設計パターンが、外部から取り込まれる。検証対象マスク層がゲート層である本実施の形態では、該ゲート

層に加えて、活性領域を規定するフィールド層と、該ゲート層の配線に到達するコンタクトを形成するためのコンタクト層の設計パターンが外部から取り込まれる。後述されるように、検証対象マスク層に構造的に関連があるマスク層の設計パターンは、検証対象マスク層の設計パターンを複数の領域に区分するために使用される。

【0028】

続いて、検証対象マスク層の設計パターンに対して近接効果補正（O P C）が行われ、マスクパターンが生成される（ステップS02）。近接効果補正は、O P Cツール4aによって行われる。以下の工程では、ステップS02で生成されたマスクパターンが検証される。該マスクパターンの検証の結果、該マスクパターンによって所望のレジストパターンが形成可能であると判断されれば、該マスクパターンがマスクに転写され、マスクが製造される。

【0029】

更に、検証対象マスク層の設計パターンのパターンエッジ（設計パターンの辺）が区分される（ステップS03）。図3に示されているように、検証対象マスク層の設計パターン11のパターンエッジは、ラインエンド部分12、コーナー部分13、コーナーから一定距離内にある辺の部分13b、及びその他の部分14（他部分14）の4つの部分に区分される。図3（a）に示されているように、ラインエンド部分12とは、ある一の方向に伸び、且つ、その幅が所定幅よりも狭いラインの、該一の方向と垂直な辺で規定される部分である。図3（b）に示されているように、コーナー部分13とは、設計パターン11のパターンエッジのうち、設計パターン11を構成する矩形領域のコーナー（角）からの距離が所定距離L以内であり、且つ、ラインエンド部分12に区分されていない部分である。図3（c）に示されているように、コーナーから一定距離内にある辺の部分13bとは、設計パターン11のコーナーから縦横方向に下ろされた一定距離の垂線を延ばし、該垂線がパターンエッジと交わったところを起点18として、起点からの距離が所定距離L以内であり、且つ、ラインエンド部分12に区分されていない部分である。図3（d）に示されているように、他部分14とは、設計パターン11のパターンエッジのうち、ラインエンド部分12、コーナー部分

13、及びコーナーから一定距離内にある辺の部分13bのいずれでもない部分である。

【0030】

図1に示されているように、続いて、検証対象マスク層の設計パターンのパターンエッジに、サンプリング候補点が規定される（ステップS04）。サンプリング候補点とは、サンプリング点となる候補であり、後述されるように、サンプリング候補点のうちの一部が実際の検証が行われるサンプリング点と決定される。

【0031】

サンプリング候補点の規定方法は、パターンエッジの区分に応じて異なる。図4に示されているように、ラインエンド部分12では、設計パターン11を構成する辺の中央にサンプリング候補点15が規定される。コーナー部分13では、設計パターン11のコーナーを起点として一定の間隔毎にサンプリング候補点16が規定される。但し、コーナー自体には、サンプリング候補点16は規定されない。コーナーから一定距離内にある辺の部分13bでは、設計パターン11のコーナーから縦横方向に下ろされた一定距離の垂線を延ばし、該垂線がパターンエッジと交わったところを起点として、パターンエッジ上に一定の間隔毎にサンプリング候補点16が規定される。他部分14では、設計パターンを構成する辺の中央にサンプリング候補点17が規定される。このようにサンプリング候補点を規定することにより、光近接効果の影響が強いラインエンド部分12とコーナー部分13とに多くのサンプリング候補点（及びサンプリング点）を設けることが可能である。

【0032】

更に、検証対象マスク層の設計パターンが複数の領域に区分される（ステップS05）。図5に示されているように、本実施の形態では、検証対象マスク層であるゲート層の設計パターンが、コンタクト対応領域21と、フィールド層対応領域22と、他領域23とに区分される。コンタクト対応領域21は、ゲート層の配線に到達するコンタクトの、ゲート層の設計パターンへの投象である投象領域21aと、投象領域21aを取り囲んで位置し、投象領域21aの外延からの

距離がM₁以内である周辺領域21bとからなる。フィールド層対応領域22は、MOSトランジスタの活性領域の、ゲート層の設計パターンへの投象である投象領域22aと、投象領域22aを取り囲んで位置し、投象領域22aの外延からの距離がM₂以内である周辺領域22bとからなる。他領域23は、ゲート層の設計パターンのうち、コンタクト対応領域21とフィールド層対応領域22とのいずれでもない領域である。

【0033】

続いて、サンプリング点が決定される（ステップS06）。図6に示されているように、ステップS04でラインエンド部分、コーナー部分、及び他部分にそれぞれ規定されたサンプリング候補点15、16、及び17のうちの一部がサンプリング点として選ばれる。サンプリング候補点15、16、及び17から生成されたサンプリング点は、それぞれ、サンプリング点15'、16'、及び17'として図示されている。

【0034】

サンプリング点の決定方法は、設計パターンが区分された領域毎に異なる。即ち、サンプリング点の決定方法は、コンタクト対応領域21と、フィールド層対応領域22と、他領域23とで異なる。図6に示されているように、コンタクト対応領域21及びフィールド層対応領域22の内部では、サンプリング候補点15、16、17の全てがサンプリング点15'、16'、17'として選ばれる。一方、他領域23の内部では、他部分14に設けられたサンプリング候補点17のみがサンプリング点17'として選択される。

【0035】

このような方法でサンプリング点を定めることにより、最終的に製造される半導体集積回路の構造に応じて、適切にサンプリング点を決定することが可能である。例えば、半導体集積回路の電気的接続を確実にするためには、ゲート層の設計パターンのうち、ゲート層の配線にコンタクトが接続する部分及びその近傍（即ち、コンタクト対応領域21）の寸法は、より詳細に検証される必要がある。更に、半導体集積回路に含まれるMOSトランジスタが所望の特性を示すようにするためには、ゲート層の設計パターンのうち、MOSトランジスタのゲートと

して機能する部分及びその近傍（即ち、フィールド層対応領域22）の寸法は、より詳細に検証される必要がある。一方、ゲート層の設計パターンの他の部分の寸法は、半導体集積回路の動作に大きな影響を及ぼさないため、詳細に検証される必要がない。本実施の形態では、コンタクト対応領域21及びフィールド層対応領域22には、相対的に多くのサンプリング点（即ち、サンプリング点15'、16'、及び17'）が設けられ、コンタクト対応領域21及びフィールド層対応領域22における寸法は、詳細に検証される。一方、他領域23には相対的に少しのサンプリング点（即ち、サンプリング点17'）が設けられ、詳細な検討が行われない。

【0036】

続いて、各サンプリング点のそれぞれについてマスクパターンの検証が行われる（ステップS08）。まず、ステップS02で作成されたマスクパターンが転写されたマスクを用いて露光を行ったときに、レジストに転写されるレジストパターンの形状が、リソグラフィー・シミュレーションによって計算される。リソグラフィー・シミュレーションは、マスクパターン検証ツール4bによって行われる。続いて、各サンプリング点のそれぞれについて、設計パターンのパターン寸法（即ち、パターンの幅、隣接するパターンからの間隔、および、パターンエッジの位置）と、得られたレジストパターンのパターン寸法との誤差が算出される。あるサンプリング点における寸法の誤差が、検証規格の範囲外であれば、そのサンプリング点は、検証エラーを有するサンプリング点であると判断される。全てのサンプリング点における検証エラーの有無が判断され、いずれのサンプリング点に検証エラーがあるかを示すレポートが出力装置6によって出力される。

【0037】

マスクパターンの検証に使用される検証規格は、設計パターンの領域の区分毎に別個に用意され、更に、設計パターンのパターンエッジの区分毎に別個に用意されている。より具体的には、コンタクト対応領域21にあるサンプリング点と、フィールド層対応領域22にあるサンプリング点と、他領域23にあるサンプリング点とでは、別の検証規格が用意されて適用される。更に、ラインエンド部12にあるサンプリング点と、コーナー部分13にあるサンプリング点と、他部

分14にあるサンプリング点とでは、別の検証規格が用意されて適用される。

【0038】

検証規格を、設計パターンの領域の区分毎に別個に用意することにより、最終的に製造される半導体集積回路の構造に応じた適切な検証規格を用いてマスクパターンの検証を行うことができる。例えば、ゲート層の配線にコンタクト（又はビア）が接続されるコンタクト対応領域21では、該配線にコンタクトを確実に接続するために、該配線のパターンエッジの位置がより厳しく管理される必要がある。そこで、コンタクト対応領域21では、パターンエッジの位置について相対的に厳しい検証規格が用いられる。一方、他領域23では、パターンエッジの位置の制限は、コンタクト対応領域21程には厳しくない。そこで、他領域23では、パターンエッジの位置について相対的にゆるい検証規格が用いられ、不要に検証エラーが検出されることが防がれる。

【0039】

更に、同じ設計パターン領域の区分内においても、コーナーから1つ目のサンプリング点は精度が出にくいのでよりゆるい規格に設定する、その他はより厳しい規格というように、パターン形状分類で検証規格を変えることで、より適切な検証が可能となる。

【0040】

検証エラーが発見された場合、OPCツール4aの処理条件を変更してマスクパターンを修正し、更に修正されたマスクパターンが再度検証される。

【0041】

検証エラーが発見されなかった場合、そのマスクパターンがマスクに転写され、マスクの製造が完了する。マスクパターンをマスクに転写する技術は、当業者によって周知であり、その詳細は説明されない。

【0042】

以上に説明されているように、本実施の形態では、マスクパターンの検証規格が設計パターンの領域の区分毎に別個に用意され、これにより、最終的に製造される半導体集積回路の構造に応じた適切な検証規格を用いてマスクパターンの検証を行うことができる。

【0043】

更に、本実施の形態では、設計パターンの領域の区分毎に異なるサンプリング点の生成方法が使用される。これにより、最終的に製造される半導体集積回路の構造に応じた適切な位置にサンプリング点が設けられ、少数のサンプリング点で、マスクパターンの検証を確実に行うことが可能である。

【0044】

【発明の効果】

本発明により、最終的に製造される半導体集積回路の構造に応じた適切な検証規格を用いてマスクパターンの検証を行うことが可能なマスクパターン検証技術が提供される。

また、本発明により、寸法の検証が行われるサンプリング点を、最終的に製造される半導体集積回路の構造に応じた適切な位置に設け、これにより、少ないサンプリング点で確実なマスクパターンの検証を可能にするマスクパターン検証技術が提供される。

【図面の簡単な説明】

【図1】

図1は、本発明によるマスクパターン検証方法の実施の一形態を示すフローチャートである。

【図2】

図2は、本発明によるマスクパターン検証方法を実行するコンピュータシステム1を示す。

【図3】

図3 (a) は、ラインエンド部分12を示し、図3 (b) は、コーナー部分13を示し、図3 (c) は、コーナーから一定距離内にある辺の部分13bを示し、図3 (d) は、他部分14を示している。

【図4】

図4は、ラインエンド部分12、コーナー部分13、コーナーから一定距離内にある辺の部分13b、他部分14にそれぞれ設けられるサンプリング候補点15、16、及び17を示す。

【図5】

図5は、コンタクト対応領域21、フィールド層対応領域22、及び他領域23を示す。

【図6】

図6は、サンプリング点15'、16'、及び17'を示す。

【符号の説明】

1：コンピュータシステム

2：入力装置

3：通信装置

4：記憶装置

4 a：O P Cツール

4 b：マスクパターン検証ツール

4 c：メインプログラム

4 d：データ領域

5：C P U

6：出力装置

1 1：設計パターン

1 2：ラインエンド部分

1 3：コーナー部分

1 3 b：コーナーから一定距離内にある辺の部分

1 4：他部分

1 5～1 7：サンプリング候補点

1 5'～1 7'：サンプリング点

1 8：起点

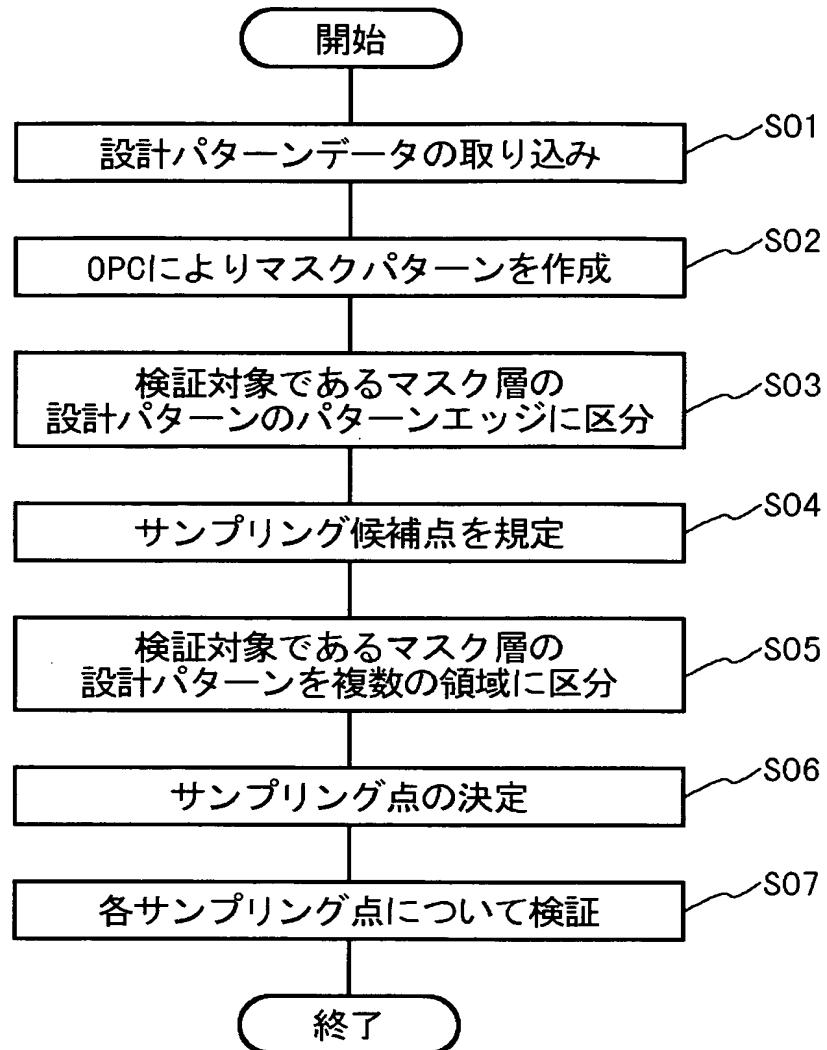
2 1：コンタクト対応領域

2 1 a、2 2 a：投象領域

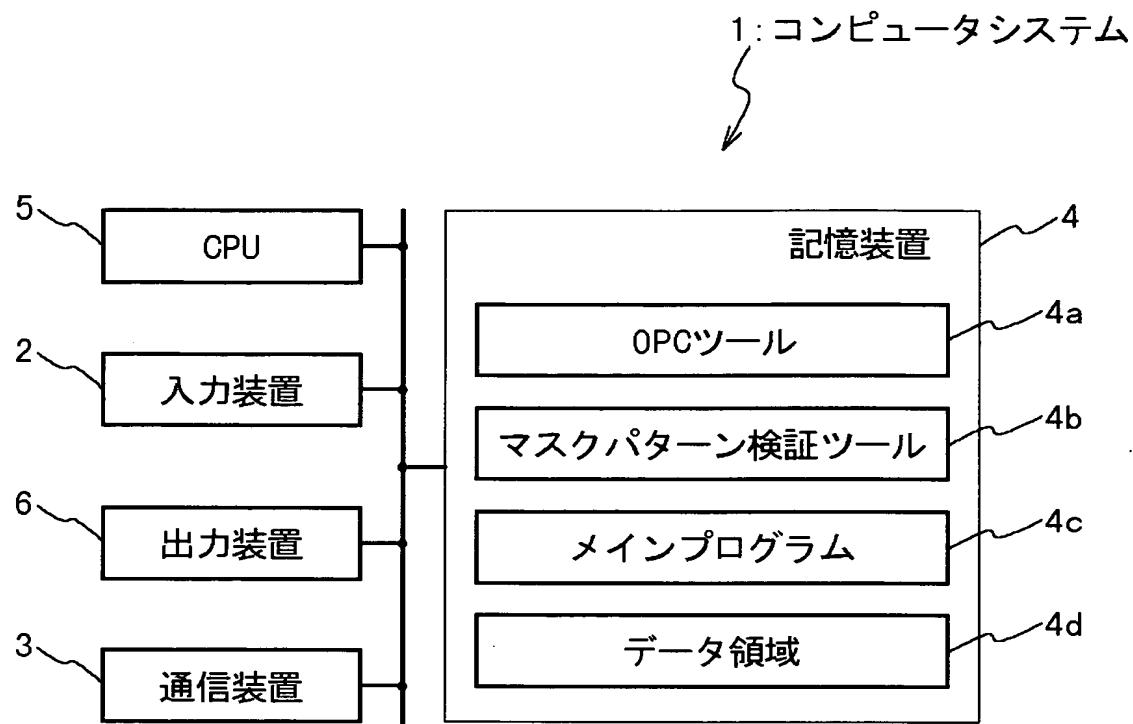
2 1 b、2 2 b：周辺領域

【書類名】 図面

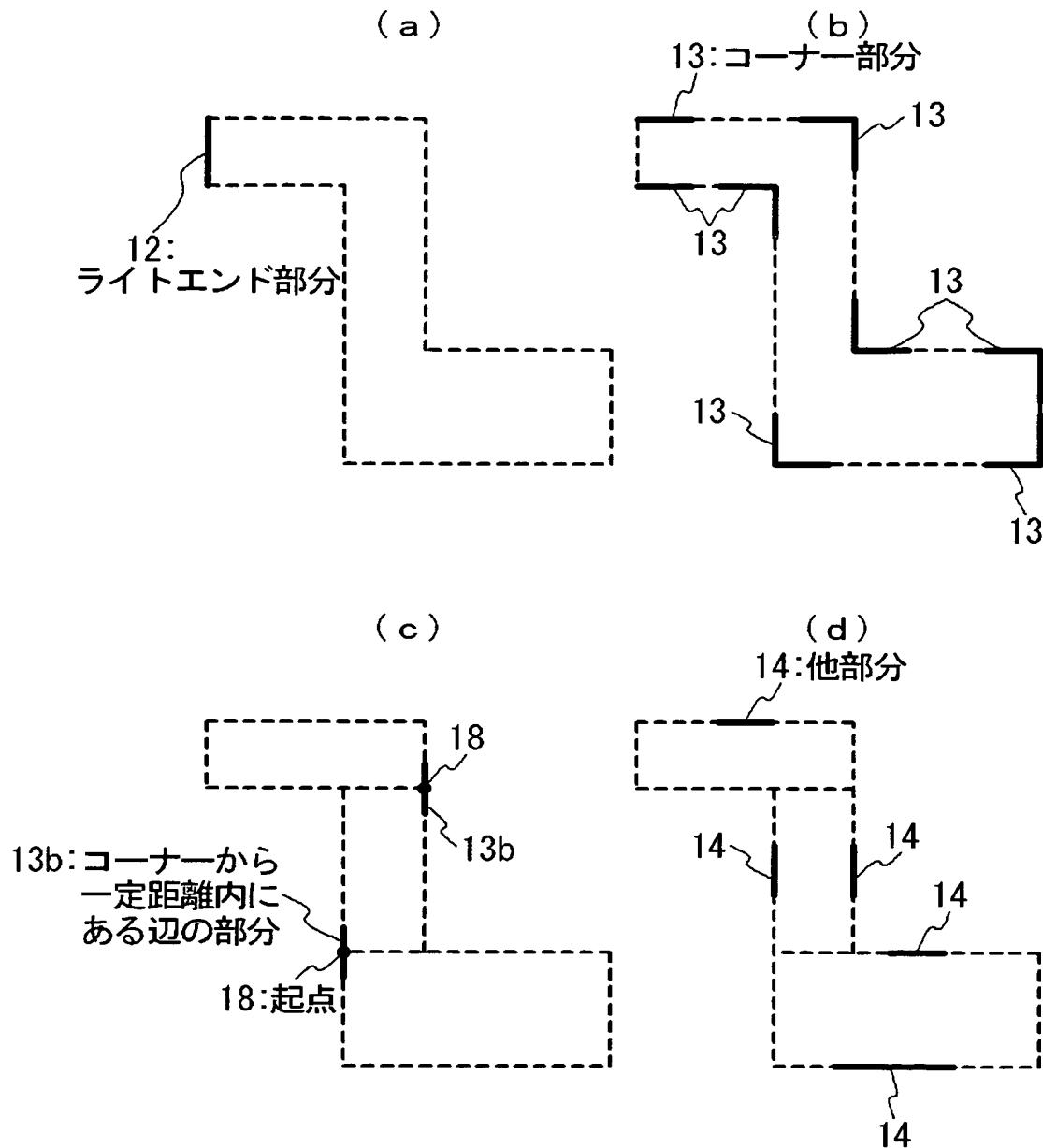
【図1】



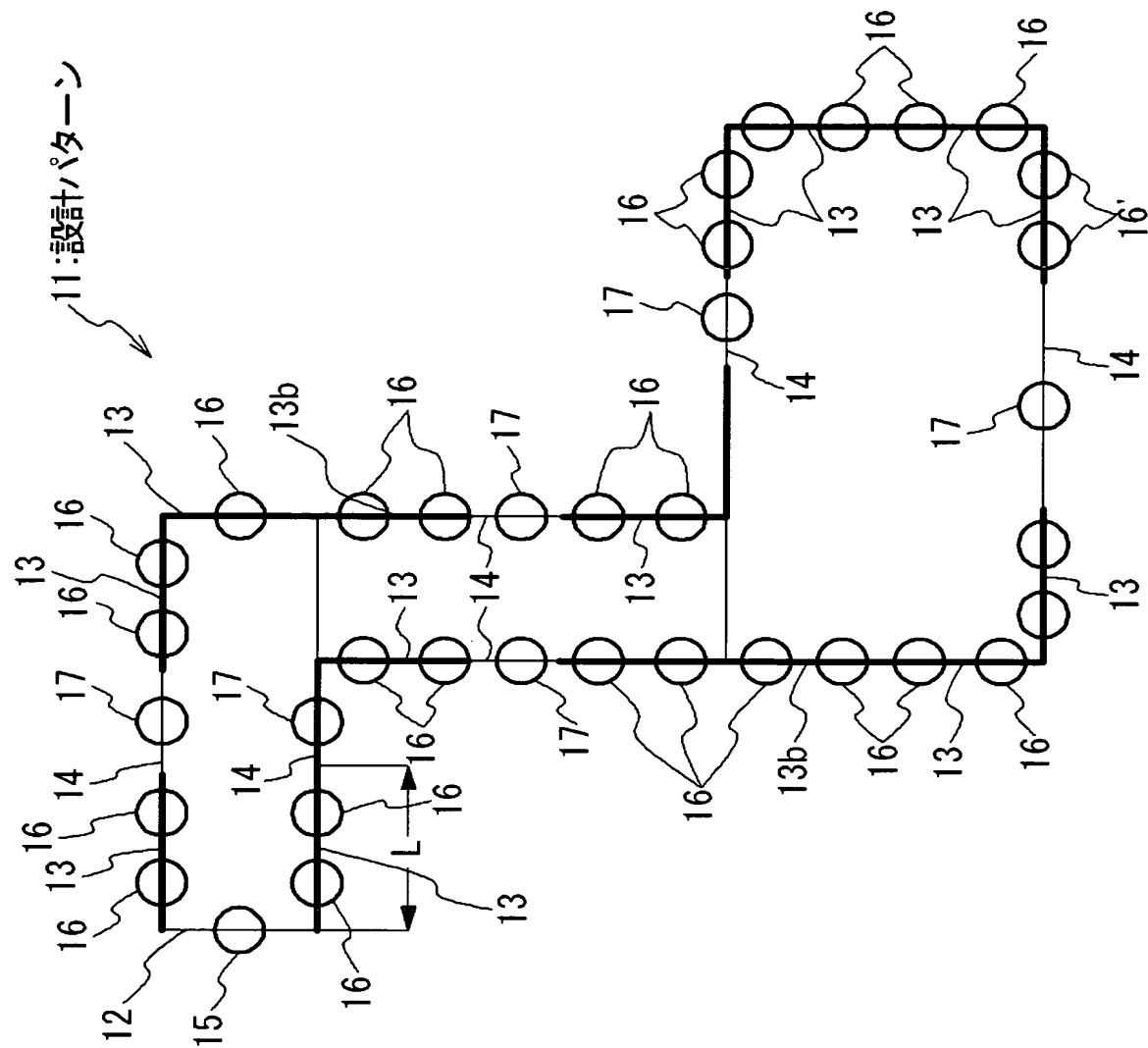
【図2】



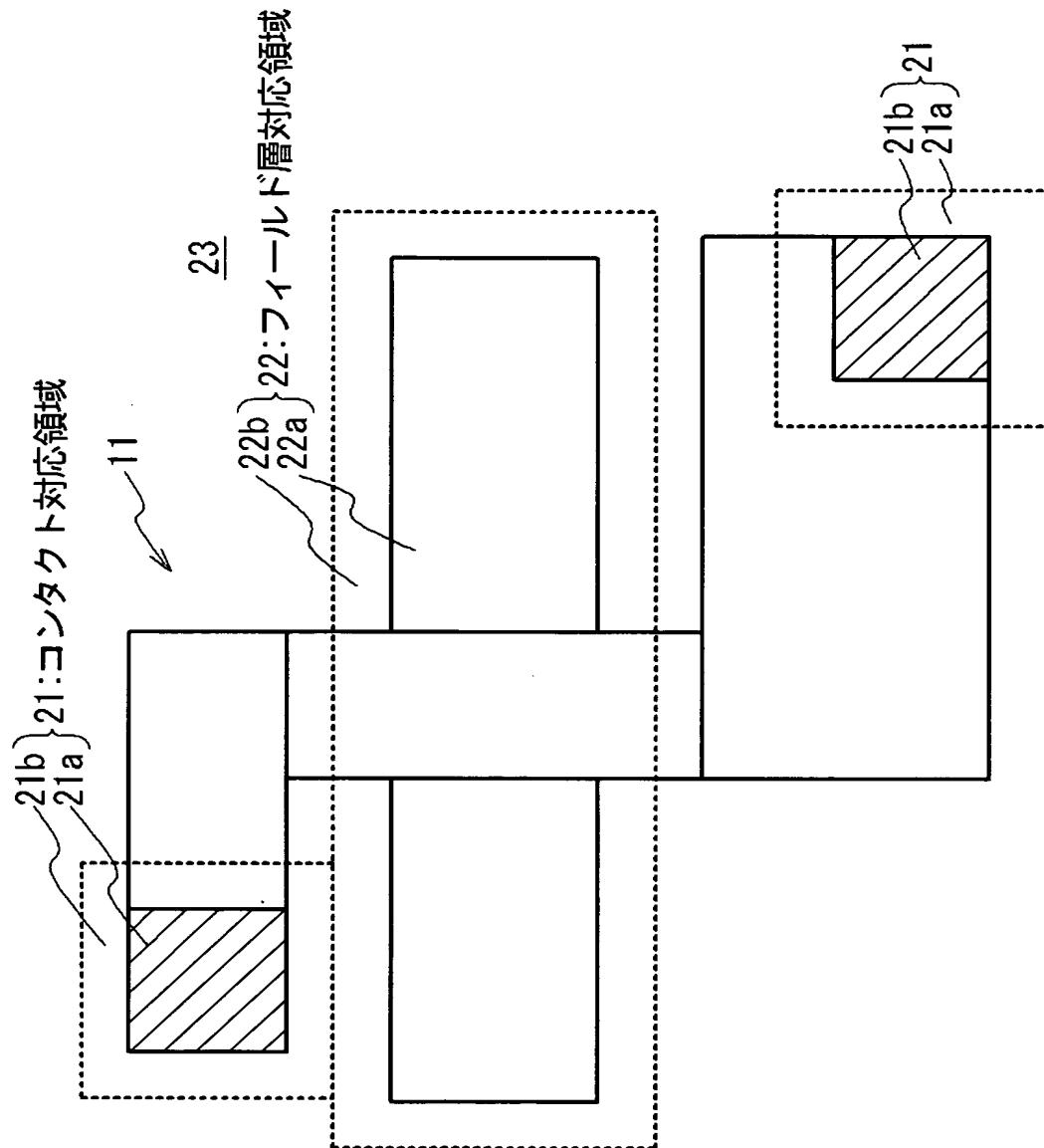
【図3】



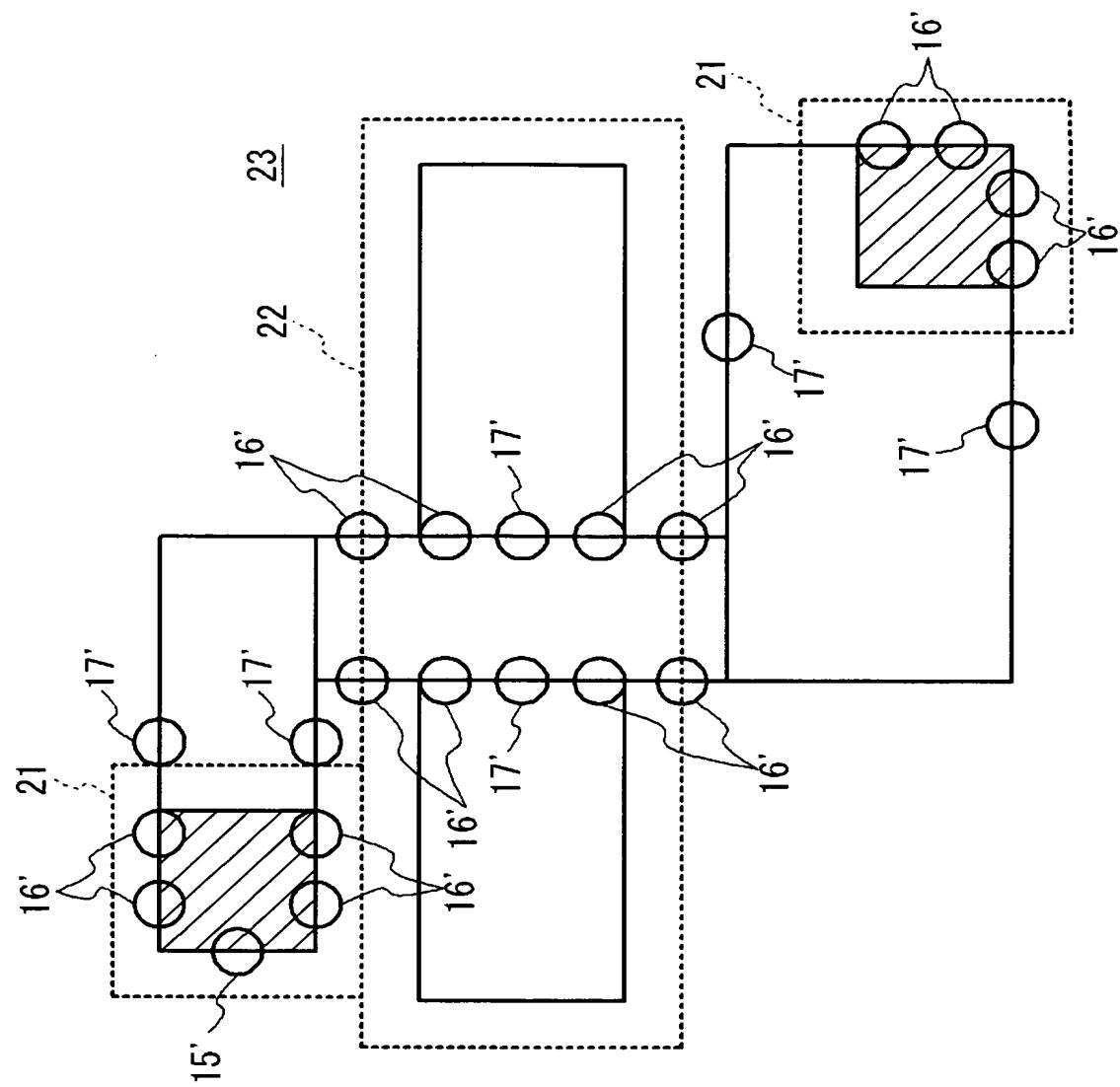
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 最終的に製造される半導体集積回路の構造に応じた適切な検証規格を用いてマスクパターンの検証を行うことが可能なマスクパターン検証技術を提供する。

【解決手段】 本発明によるマスクパターン検証方法は、検証対象であるマスク層の検証対象マスク設計パターン（11）を用意する手順と、検証対象マスク設計パターン（11）に対して近接効果補正を行って該マスク層のマスクパターンを生成する手順と、他のマスク層の他マスク設計パターンを用意する手順と、該他マスク設計パターンに基づいて、検証対象マスク設計パターン（11）を複数の領域（21、22、23）に区分する手順と、検証対象マスク設計パターン（11）のパターンエッジにサンプリング点（15'～17'）を規定する手順と、複数の領域（21～23）のそれぞれについて別個に検証規格を規定する手順と、該マスクパターンが描かれたマスクを用いた露光によってレジストに転写されるレジストパターンの形状をシミュレーションする手順と、サンプリング点（15'～17'）のそれぞれについて、検証対象マスク設計パターン（11）とレジストパターンとの寸法の誤差が、該サンプリング点のそれぞれが属する領域の検証規格に規定されている範囲内に有るか否かを判断して該マスクパターンの検証を行う手順とを備えている。該検証規格は、複数の領域（21、22、23）のうちの第1領域（21、22）と第2領域（23）とで異なる。

【選択図】 図1

特願 2003-094710

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社